

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

011651751 **Image available**

WPI Acc No: 1998-068659/ 199807

XRPX Acc No: N98-054467

**Field emission element for semiconductor industry - has anode substrate
formed by mixing substance of low work function with fluorescent material**

Patent Assignee: FUTABA DENSHI KOGYO KK (FUTK)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9306336	A	19971128	JP 96139774	A	19960510	199807 B
JP 3230432	B2	20011119	JP 96139774	A	19960510	200176

Priority Applications (No Type Date): JP 96139774 A 19960510

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 9306336	A		4	H01J-001/30	
JP 3230432	B2		4	H01J-031/12	Previous Publ. patent JP 9306336

Abstract (Basic): JP 9306336 A

The field emission element comprises a field emission cathode substrate (1) and an anode substrate (10) currently isolated and sealed.

The anode substrate is formed by mixing the substance of low work function such as zinc and titanium with fluorescent material (13).

ADVANTAGE - Reduces cathode and drive voltage of gate. Reduces manufacturing cost and power consumption.

THIS PAGE BLANK (USPTO)

Searching PAJ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-306336

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

H01J 1/30

H01J 9/02

H01J 29/32

(21)Application number : 08-139774

(71)Applicant : FUTABA CORP

(22)Date of filing : 10.05.1996

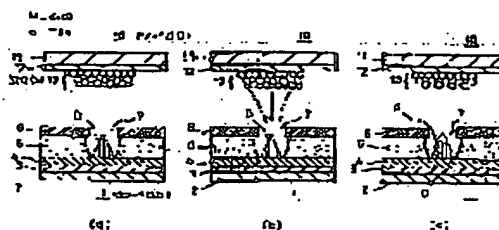
(72)Inventor : OCHIAI HISATAKA
WATANABE TERUO

(54) FIELD EMISSION ELEMENT AND MANUFACTURE THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain sufficient electrons even by low cathode voltage or gate voltage by constituting a field emission element by mixing a substance having a low work function in a phosphor formed on an anode base board.

SOLUTION: A substance having a low work function is mixed in a phosphor 13 applied to a conductive film 12 formed on an anode base board 10. When the phosphor 13 is patternized on the conductive film 12, a surface active agent, a sensitizer, water, an object luminescence material and a substance having a low work function are mixed together in a slurry liquid. A cathode base board 1 and an anode base board 10 are stuck together by a face, and when transferring to an aging process after a sealing and exhaust process, a part of Zn and Ti mixed in the phosphor 13 scatters, and can selectively stick to a tip part of an emitter 8. Therefore, the tip part of the emitter 8 is coated with Zn and Ti, and an accumulated layer 9 having a low work function is formed.



LEGAL STATUS

[Date of request for examination]

14.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3230432

[Date of registration]

14.09.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

(43)公開日 平成9年(1997)11月28日

技術表示箇所

$$\frac{B}{B}$$

(74) 代理人 弁理士 脇 篤夫 (外1名)

【特許請求の範囲】

【請求項1】 電界放出カソード基板と、

該電界放出カソード基板と離隔して封止されているアノード基板によって構成されている電界放出素子において、

前記アノード基板に形成されている蛍光体に、低仕事関数の物質を混入したことを特徴とする電界放出素子。

【請求項2】 電界放出カソード基板と、

該電界放出カソード基板と離隔して封着されているアノード基板によって構成されている電界放出素子の製造方法において、

前記アノード基板に低仕事関数の物質を混入した蛍光体を形成した後に、電界放出カソード基板と前記アノード基板を封着してエージングを行うことを特徴とする電界放出素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界放出素子及びその製造方法に関するものである。

【0002】

【従来の技術】金属または半導体表面の印加電界を 10^9 [V/m]程度にすると、トンネル効果により電子が障壁を通過して、常温でも真空中に電子放出が行われるようになる。これを電界放出 (Field Emission) と呼び、このような原理で電子を放出するカソードを電界放出カソード (Field Emission Cathode) (以下、FEC という) と呼んでいる。

【0003】近年、半導体加工技術を駆使して、ミクロンサイズの電界放出カソードからなる面放型型の電界放出カソードを作製することが可能となっており、電界放出カソードを基板上に多数個形成したものは、その各エミッタから放出された電子をアノード基板に形成されている蛍光面に照射することによってフラットな表示装置や各種の電子装置を構成する素子として期待されている。

【0004】図2はカソード基板及びアノード基板の構成例を示す図である。カソード基板100は、ガラス等の基板101上に、金属層からなるカソード102、アモルファスシリコン等からなる抵抗層103、シリコンを熱酸化させて形成した絶縁層 (SiO_2 層) 104、及び、ニオブ等の金属層からなるゲート105を蒸着等により順次形成する。さらに、ゲート105上にフォトリソ resist (図示せず) を塗布した後、パターニング及びエッチングを行い、図示するようにゲート105及び絶縁層104に開口部106を形成する。

【0005】次に、フォトリソ resist を除去し、基板101を回転させながら、基板面に対して斜め方向からアルミニウムを回転蒸着させることにより剥離層 (図示せず) の蒸着を行う。すると、剥離層は開口部106の中には蒸着されずにゲート105の表面にのみ選択的に蒸

着されることになる。さらに、剥離層の上から、例えばモリブデンを堆積させると、剥離層の上に堆積層が、エッチングにより開けた開口部106の中に、エミッタ107がコーンの形状で堆積する。この後、ゲート105上の剥離層及び堆積層をエッチングにより除去すると図示されているような構造のFECが得られる。

【0006】この図に示すFECは、半導体集積化技術を用いて製作すると、コーン状のエミッタ107とゲート105との距離をサブミクロンとすることが出来るため、エミッタ107とゲート105間に数十ボルトの電圧を印加することによりエミッタ107から電子を放出させることが出来るようになる。なお、基板101上にFECを多数集積化する場合に、各エミッタ107間のピッチは5ミクロンないし10ミクロンとして製作することが出来るため、数万から数十万個のFECを1枚のカソード基板100上に設けることが出来る。

【0007】また、アノード基板110は、例えばガラス等で形成された基板111上に、例えばITO等からなる透明の導電膜112が形成され、さらに、例えば緑色を発光するZnO等の蛍光体113が塗布されている。そして、カソード基板100とアノード基板110は例えば200 μm 程度のギャップを保ち真空封止されている。

【0008】このように、面放型型のFECを製作することが可能となっており、このFEC素子は蛍光表示装置、CRT、電子顕微鏡や電子ビーム装置に適用することが提案されている。

【0009】図3に、このような面放型型のFEC素子の斜視図を示す。この図において、基板101上にカソード102が形成されており、このカソード102の上には抵抗層103が形成されている。そして、この抵抗層103上にコーン状のエミッタ107が形成されている。さらに、カソード102上に絶縁層104を介してゲート105が設けられており、ゲート105に設けられた丸い開口部106からコーン状のエミッタ107の先端部分が臨んでいる。

【0010】このように形成された面放型型のFECにおいて、ゲート105とカソード102との間に数十ボルトの駆動電圧VGEを印加すると、エミッタ107から電子が放出され、エミッタ107から放出された電子は、ゲート105上に離隔して配置され、アノード電圧VAの印加されたアノード基板110の導電膜112により捕集される。この場合、導電膜112がエミッタ107から放出された電子を捕集することにより、導電膜112上に塗布されている蛍光体113が励起されて発光させることができる。

【0011】

【発明が解決しようとする課題】ところで、このようなFECにおいて、各種省電力化の手段が考えられている。例えば、カソード基板100側において、

1. ゲート105とエミッタ107の間隔を狭める。
2. エミッタ107を形成する材料に低仕事関数の材料を用いる。
3. エミッタの曲率半径を小さくする。
4. エミッションの放出面積を大きくする。

等の、各手段が挙げられる。

【0012】例えば上記第2の手段において、エミッタ107は加工性等の理由からモリブデン等によって形成されている。これは、モリブデンのアスペクト比（エミッタ107が堆積する高さ／エミッタ107の底辺）が1：1程度であるために、エミッタ107を作製する上で適した材質とされているためである。しかしながら、モリブデンは仕事関数において優れた材質とはいえないため、省電力化を実現するのは困難である。また、例えばモリブデン以外の低仕事関数の材料を用いると加工性が劣化して、エミッタ107を所定の形状とすることが困難になるという問題がある。

【0013】

【課題を解決するための手段】本発明はこのような問題を解決するためになされたもので、電界放出カソード基板と、該電界放出カソード基板と離隔して封止されているアノード基板によって構成されている電界放出素子において、前記アノード基板に形成されている蛍光体において、低仕事関数の物質を混入して電界放出素子を構成する。

【0014】また、電界放出カソード基板と、該電界放出カソード基板と離隔して封止されているアノード基板によって構成されている電界放出素子の製造方法において、前記アノード基板に形成されている蛍光体に低仕事関数の物質を混入した後に、電界放出カソード基板と前記アノード基板を封着してエージングを行って電界放出素子を製造する。

【0015】

【発明の実施の形態】以下、本発明の実施形態を説明する。図1(a)(b)(c)は本実施形態の電界放出素子の製造工程を説明する模式図である。カソード基板1において、基板2、カソード3、抵抗層4、絶縁層5、ゲート6、開口部7、エミッタ8は、それぞれ先程図2に示したカソード基板100と同等の構成とされ、基板101、カソード102、抵抗層103、絶縁層104、ゲート105、開口部106、エミッタ107に対応している。

【0016】本発明では、アノード基板10に形成されている導電膜12に塗布される蛍光体13に低仕事関数の物質を混入している。導電膜12上に、例えばスラリー法によって蛍光体13をパターニングする場合、スラリー液には界面活性剤、感光剤、水、目的とする蛍光材料、及び低仕事関数の物質を混ぜ合わせる。低仕事関数の物質としては、例えば、Ti(3.45eV)、Hf(3.53eV)、Zr(3.9eV)等の材料あるい

はこれらの材料の窒化物、炭化物、ホウ化物（酸化物も含む）とされ、蛍光材料に対して例えば数%から数10%混入する。またこの他にも、Ba、Cr、W、Pt、Nb、Au、Ta等の材料あるいはこれらの材料の窒化物、炭化物、ホウ化物、酸化物、ケイ化物等の物質でも良い。なお、図1(a)(b)(c)には、Zn及びTiを混入して蛍光体13をパターニングした例を示している。

【0017】図1(a)は、例えばZn及びTiが混入された蛍光体13がパターニングされている状態を示しており、さらに、カソード基板1とアノード基板10を面付けして、封着、排気工程を経ている状態である。

【0018】この状態で、先程図3で説明したようにFECを駆動させエージング工程に移行すると、図1(b)に矢印で示されているように、蛍光体13に混入されているZn、Tiの一部が飛散して、エミッタ8の先端部分に選択的に付着するようになる。この、エージング工程を、エミッタ8に対するZn、Tiの付着が完了するまで行くと、図1(c)に示されているように、エミッタ8の先端部分はZn、Tiによってコーティングされ、低仕事関数の堆積層9が形成される。これは、蛍光体13において+電荷に帯電して飛散したZn、Ti等の混入物が、アノードより負電位とされているエミッタ8の先端に付着するためである。

【0019】このように、エミッタ8の先端部分に例えばZn、Ti等からなる堆積層9が形成され低仕事関数の物質でコーティングされることにより、エミッタ8から電子が放出されやすくなり、従来よりも低いカソード電圧、ゲート電圧でもアノード基板側に十分な電子を供給することができるようになる。

【0020】

【発明の効果】以上、説明したように本発明は、アノード基板に形成される蛍光体に、例えばZn、Ti等の低仕事関数の物質を混入しておくことにより、これらの低仕事関数の物質がエージングによってエミッタの先端部分に付着するようになる。これにより、従来よりも低いカソード電圧、ゲート電圧でもアノード基板において十分な電子が得られるようになる。したがって、FEC自体の低消費電力化を実現することができる。また、カソード、ゲートのドライブ電圧を低下することにより、ドライブコストを安価に抑えることができるようになり、製造コストを低下することができるという利点がある。

【図面の簡単な説明】

【図1】本発明の実施の形態の電界放出素子を断面的に示す図である。

【図2】従来の電界放出素子を断面的に示す図である。

【図3】従来の電界放出素子を斜視図である。

【符号の説明】

1 カソード基板

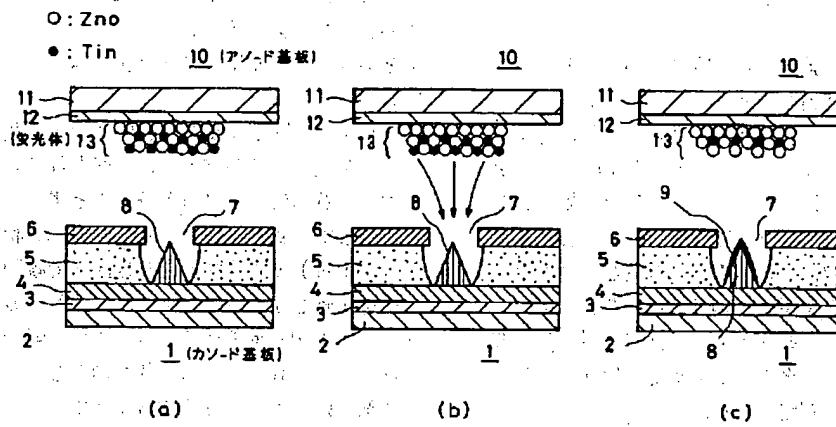
8 エミッタ

9 堆積層

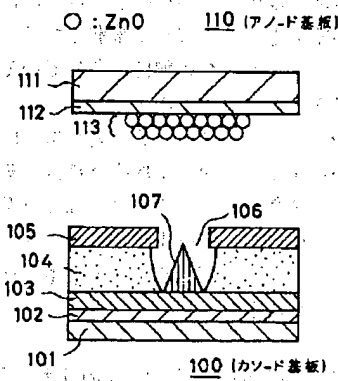
13 蛍光体

10 アノード基板

【図1】



【図2】



【図3】

